

## Воздействие электростатических разрядов на интегральные схемы

Андрей СТРОГОНОВ,  
д. т. н.  
andreis@hotmail.ru  
Митрофан ГОРЛОВ,  
д. т. н.

**Известно, какой вред полупроводниковым изделиям наносит электростатический заряд. Аккумуляция заряда на пластинах и фотошаблонах приводит к потерям в выходе годных ИС, так как заряженная пластина или фотошаблон, подобно пылемагниту, способны собирать частицы пыли даже в самой чистой среде. Анализ показывает, что до 65% отказов КМОП ИС на некоторых предприятиях-изготовителях вызваны воздействием ЭСР [1, 2].**

Восприимчивые к электростатическим разрядам ИС подвергаются опасности, как в процессе производства, так и в процессе применения. Электростатические разряды происходят из-за накопления заряда на выводах ИС за счет трибоэлектрического эффекта при трении. При соприкосновении заряженного объекта с проводящей поверхностью происходит электрический разряд, приводящий к кратковременному потоку большого количества электронов. Если при этом происходят необратимые изменения во внутренней структуре ИС, то она выходит из строя.

Общезвестно, что отрицательное влияние ЭСР в первую очередь сказывается на МОП- и КМОП-ИС. ЭСР вызывает следующие виды повреждений: тепловой пробой *p-n*-перехода, образование в оксиде пустот (рис. 1, [3]), расплавление металлических проводников и др. Некоторые биполярные приборы также чувствительны к ЭСР. Особенно опасны ЭСР для ТТЛ ИС с барьером Шоттки, которые пробиваются при энергии ЭСР в 2–3 раза меньшей, чем необходимо для пробоя ТТЛ ИС. Это происходит вследствие меньшего размера барьера Шоттки. Пороги чувствительности полупроводниковых при-

боров и ИС приведены в таблице 1, относительная чувствительность различных типов ИС к ЭСР — в таблице 2 [2].

Для моделирования воздействия разрядов на электронные компоненты и определения реальных порогов устойчивости возможно использование различных моделей ЭСР, в зависимости от назначения конечного оборудования. В число таких моделей входят: модель тела человека (Human Body Model), известная как модель «пальца», машинная модель (Machine Model) и модель с заряженным прибором (Charged Device Model) [4–6]. Модель тела человека используется с середины 1970-х годов и описана в справочнике «MIL-STD-883D. Метод 3015.7 Классификация чувствительности к ЭСР»:  $C_1 = 100$  пФ (емкость тела человека) и  $R_2 = 1500$  Ом (сопротивление кожи человека), экспоненциально затухающий участок импульса тока равен при этом  $\tau = R_2 \times C_1 = 150$  нс, а также в стандарте JEDEC22-A114A ([www.jedec.org](http://www.jedec.org)) и в ESD 22 A1 15A. Эквивалентная схема для модели тела человека показана на рис. 2. Паразитные элементы схемы представлены индуктивностью  $L_S$ , емкостью  $C_S$  и емкостью тестовой платы  $C_T$ . Типовые параметры схе-

мы модели тела человека:  $V_{ЭСР} = 2000$  В,  $C_1 = 100$  пФ,  $R_2 = 1500$  Ом,  $L_S = 7,5$  мкГн,  $C_S = 1$  пФ и  $C_T = 10$  пФ (табл. 3).

Согласно модели тела человека (рис. 2), все выводы полупроводникового прибора или ИС подвергаются воздействию трех импульсов ЭСР положительной и отрицательной полярности с определенным интервалом подачи (1 с). В ИС подвергаются воздействию ЭСР как контактные ножки «Вход/Выход» (I/O pins), так и контактные ножки «Земля» (GND) и «Питание» (VDD). Напряжение ЭСР составляет 1–2 кВ. После испытаний на стойкость к ЭСР проводят замер токов утечек на выводах ИС при 0 В и 5 В, с использованием автоматизированного тестера. Если установлено, что ток утечки на контактной ножке превышает величину 1 мА, то это рассматривается

Таблица 1. Пороги чувствительности полупроводниковых приборов и ИС

Тип ИЭТ	Пороги чувствительности, В
МОП-транзистор	100–200
Арсенид-галлиевый транзистор	100–200
Полевой транзистор с управляющим переходом	140–10 000
Биполярный транзистор	380–7000
КМОП ИС	250–3000
Линейные биполярные ИС	190–2500
ИС ТТЛ	1000–2500
ИС ЭСЛ	500–1500
ИС ТТЛШ	500–1500

Таблица 2. Относительная чувствительность различных типов ИС к ЭСР

Тип ИС	Относительная чувствительность к ЭСР
Стандартные ТТЛ ИС	1,0
Линейные ИС	1,3
Цифровые ИС с объединенными эмиттерами	1,8
ТТЛ ИС с диодами Шоттки	3,0
МОП ИС	3,0
КМОП ИС	4,6

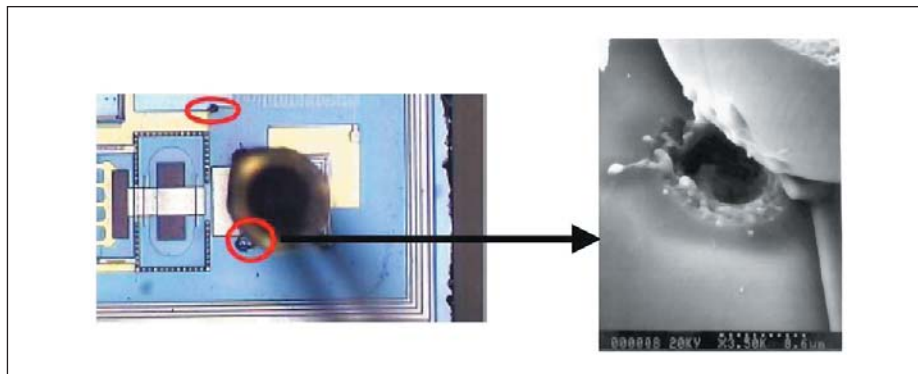


Рис. 1. Повреждение, вызванное воздействием ЭСР

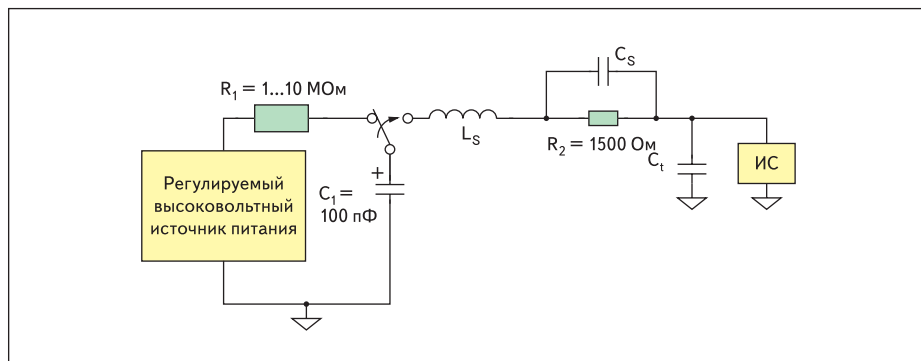


Рис. 2. Эквивалентная схема для модели тела человека и машинной модели

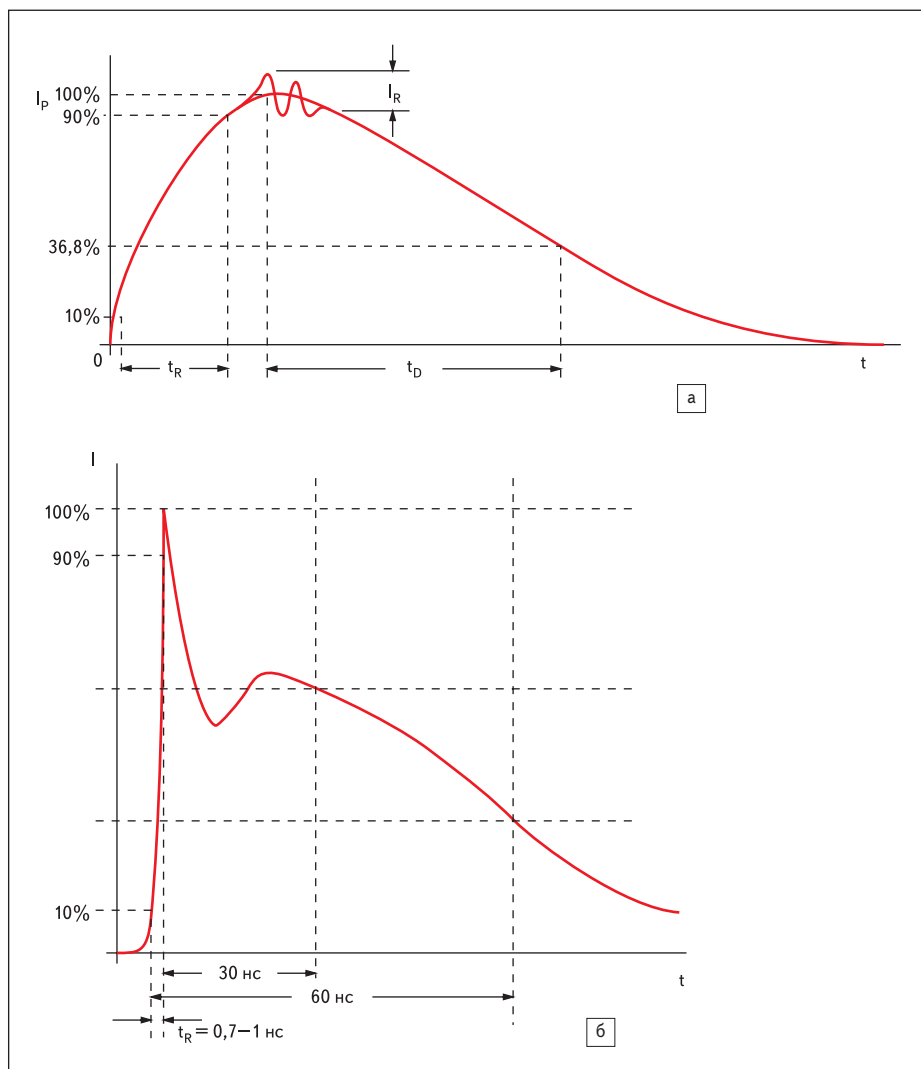


Рис. 3. Формы импульсов тока ЭСР при испытаниях на стойкость к ЭСР по справочнику MIL-STD-883D: а) метод 3015.7; б) IEC 1000-4

как отказ. Далее производится анализ статистики отказов.

Экспериментально полученная величина опасного потенциала составляет, например, для БИС фирмы Actel серии АСТ 1 по 1-мкм проектным нормам — 2 кВ, для серии XL по 0,6-мкм проектным нормам — 1,5 кВ, для радиационно-стойкой серии RH (1–0,8 мкм) — 1,5–2 кВ.

Машинная модель учитывает накопление электростатического заряда на металлических поверхностях. При ее построении используют электрическую схему тела человека без сопротивления ( $R_2 = 0$ ) или с достаточно малым сопротивлением (5 Ом), но с большей емкостью ( $C_1 = 200$  пФ), то есть прямой разряд на выводы ИС. Потенциально опасный уровень напряжения при этом составляет 1/5

или 1/20 от напряжения, при котором не происходит нарушений для испытаний по модели тела человека. Электростатический разряд при этом лимитируется паразитной индуктивностью 0,5–2,5 мкГн.

В электронной промышленности часто используется стандарт ЭСР Международного Электротехнического Комитета (International Electrotechnical Commission, IEC 1000-4). Этот стандарт предполагает два типа импульса разряда — длительный (8/20 мс — время нарастания/длительность импульса) и короткий (1/60 нс). Существует также стандарт Ассоциации электронной промышленности Японии (Electronic Industries Association of Japan, EIAJ), известный как IC-121, в основе которого лежит машинная модель.

Время нарастания входного импульса тока ЭСР  $t_R$  согласно «MIL-STD-883D. Метод 3015.7» должно быть меньше, чем 10 нс, а общая продолжительность импульса должна быть  $150 \pm 20$  нс (рис. 3). При напряжении ЭСР 1,5 кВ пиковый ток  $I_p$  ЭСР может составлять величину порядка 1 А.

Таблица 3. Параметры модели тела человека и машинной модели

Элементы схемы	Модель тела человека (MIL-STD-883D, метод 3015.7)	Машинная модель (IC-121, EIAJ)	IEC 1000-4-2
$R_1$ , МОм	1–10	1	50–100
$R_2$ , Ом	1500	0	330
$C_1$ , пФ	100	200	150

Модель с заряженным прибором была предложена фирмой AT&T для моделирования разряда при воздействии на полупроводниковый прибор или ИС электрического поля, который не описывается моделью тела человека. Эта модель предполагает, что испытуемый прибор заряжается непосредственно трибоэлектричеством, либо через внешнее электрическое поле. Далее каждый вывод прибора разряжается до нулевого потенциала. Это приводит к тому, что заряд, накопленный на подложке и других проводящих материалах прибора, будет очень быстро перемещен. Разряд будет мгновенным из-за почти нулевого сопротивления прибора (1 Ом) и малой индуктивности (1 нГн). Примеры ситуаций, описываемых этой моделью в случае трибоэлектрического заряда, — это случаи трения прибора о поверхность при перемещении его роботом, при его извлечении из упаковки, перемещении с поверхности на поверхность, а затем установки на проводящую поверхность.

Модель с заряженным прибором используется для описания ЭСР, наблюдаемого при работе автоматизированного оборудования в производстве, хранении и транспортировке. Емкость прибора зависит от вида корпуса и составляет 1 пФ для маленьких корпусов и 20 пФ для больших. Время нарастания импульса тока на частоте 10 ГГц составляет 200 пс, а его длительность — 2 нс. В отличие

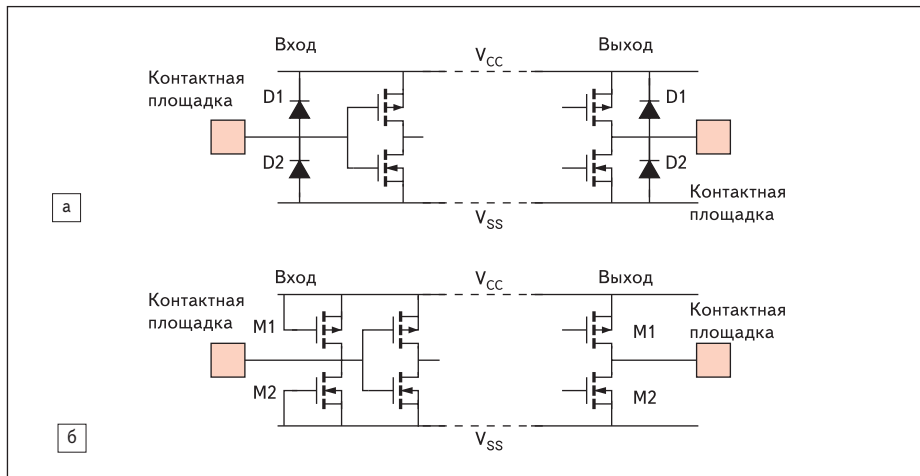


Рис. 4. Наиболее популярные схемы защиты от ЭСР: а) диодная; б) на КМОП-транзисторах

от модели тела человека, в модели заряженного прибора подверженность его разрушению зависит от его типа корпуса.

Фирма Altera включает в квалификационные испытания ПЛИС испытания на стойкость к ЭСР с использованием модели тела человека (MIL-STD-883D, метод 3015.7 и JESD22-A114A) и модели заряженного прибора (JESD22-C101) [7].

На рис. 4 показаны наиболее популярные встроенные схемы защиты цифровых КМОП ИС от ЭСР: диодная (рис. 4а) и на КМОП-транзисторах (рис. 4б) [4]. Схемы обеспечивают быстрый отвод тока и рассеивание тепла. На рис. 5 представлена идея использования встроенной защиты контактных площадок ИС от ЭСР при разработке топологической библиотеки по масштабируемой КМОП-технологии по глубоким субмикронным про-

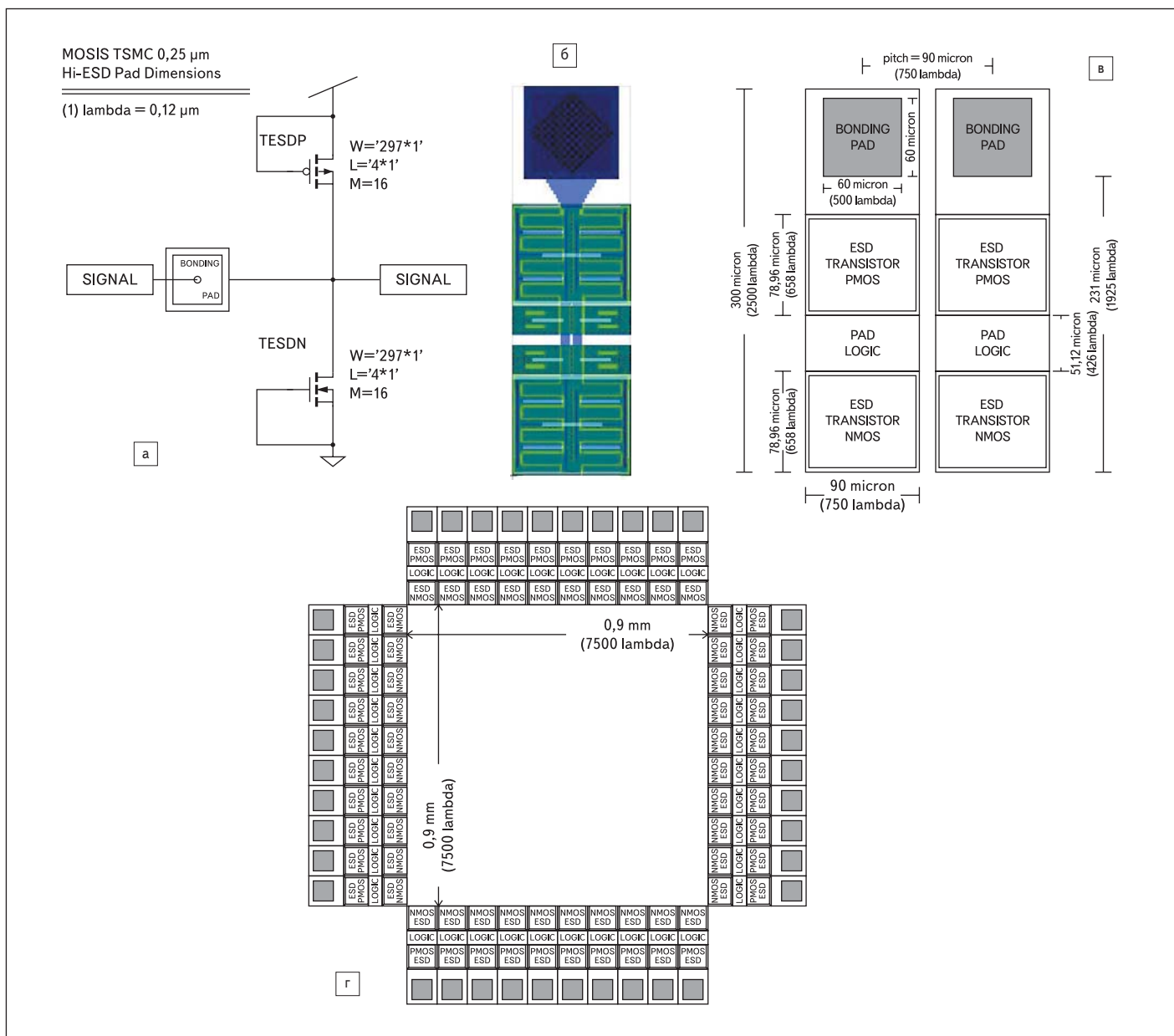


Рис. 5. а) Защита контактных площадок «Вход/Выход» от ЭСР КМОП-транзисторами; б) топология защитных КМОП-транзисторов; в) геометрические размеры; г) контактная рамка кристалла с контактными площадками, защищенными от ЭСР

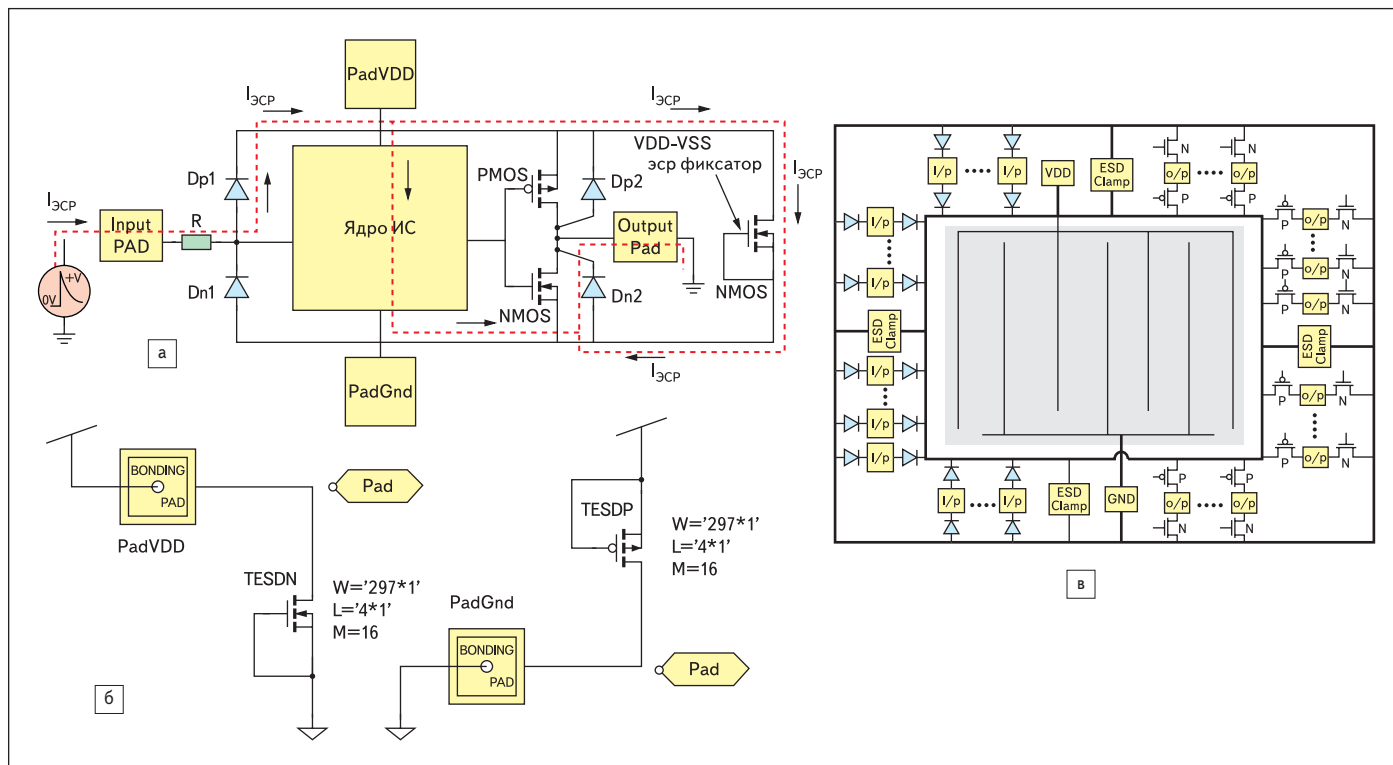


Рис. 6. Встроенная защита ИС от ЭСР:

а) использование встроенных диодов для защиты контактных площадок «Вход/Выход» от ЭСР и использование ЭСР-фиксатора между контактными площадками «Питание» и «Земля»; б) защита контактных площадок «Питание» и «Земля» ЭСР-фиксаторами; в) расположение ЭСР-фиксаторов по периферии контактной рамки кристалла ИС

ектным нормам (0,25 мкм) [8]. Топологическая библиотека реализована в САПР Tanner EDA.

На рис. 6 показано использование диодной защиты контактных площадок «Вход/Выход» и ЭСР-фиксаторов для защиты контактных площадок «Питание» и «Земля» (шин «Питание» и «Земля») [9, 10]. Пунктирной линией на рис. 6а показаны возможные пути протекания тока ЭСР  $I_{ЭСР}$  при положительном высоком напряжении, приложенном на контактную площадку «Вход» [10]. Часть тока  $I_{ЭСР}$  отводится на сопротивление  $R$ . Диод  $Dp1$  в этом случае включается в прямом направлении, а диод  $Dp2$  — в обратном. Оставшаяся часть тока ЭСР пройдет через ядро кристалла ИС на «землю» и через диод  $Dn2$ , включенный в прямом направлении, — на выходную контактную площадку, а большая часть тока будет отведена на ЭСР-фиксатор, включенный между контактными площадками «Питание» и «Земля». Ширина и длина каналов защитных транзисторов одинаковы и составляют  $W = 297$  мкм и  $L = 4$  мкм. На рис. 6б показана защита контактных площадок «Питание» и «Земля» ЭСР-фиксаторами в топологической библиотеке элементов ввода/вывода MOSIS TSMC CMOS025 Process, а на рис. 6в — идея использования ЭСР-фиксаторов по периферии контактной рамки кристалла ИС.

На рис. 7 показана защита ЭСР-фиксаторами в КМОП ИС фирмы TI [11]. Стрелками обозначены пути протекания тока разряда.

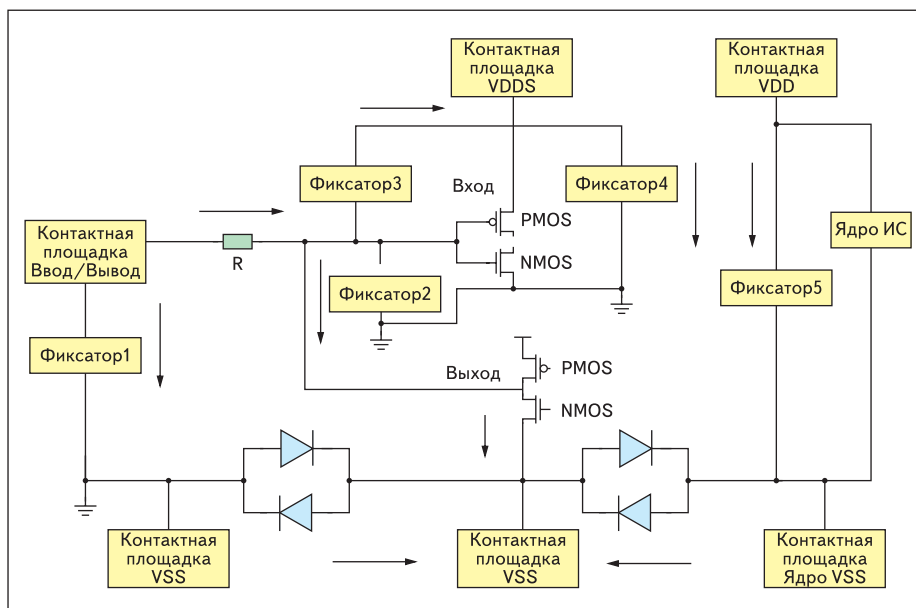


Рис. 7. Защита ЭСР-фиксаторами в КМОП ИС фирмы TI

ЭСР-фиксатор (рис. 8а–б) обеспечивает механизм отвода тока ЭСР с помощью паразитного латерального биполярного транзистора (КМОП-технология) и вертикального биполярного транзистора (БиКМОП и биполярная технология) [11, 12]. Повышение напряжения на стоке МОП-транзистора приводит к наступлению пробоя перехода сток-подложка вследствие ударной ионизации. Ударная ионизация приводит к лавинной генера-

ции дырок и обеспечивает рост дырочного тока подложки  $I_{sub}$  защитного МОП-транзистора. Тем самым обеспечивается ток, необходимый для включения паразитного биполярного  $n$ (сток-коллектор) $p$ (канал-база) $n$ (исток-эмиттер)-транзистора [4, 12, 13].

Паразитный биполярный транзистор проводит ток между коллектором и эмиттером (режим внезапного уменьшения напряжения (рис. 8в–г)). Напряжение на стоке составляет

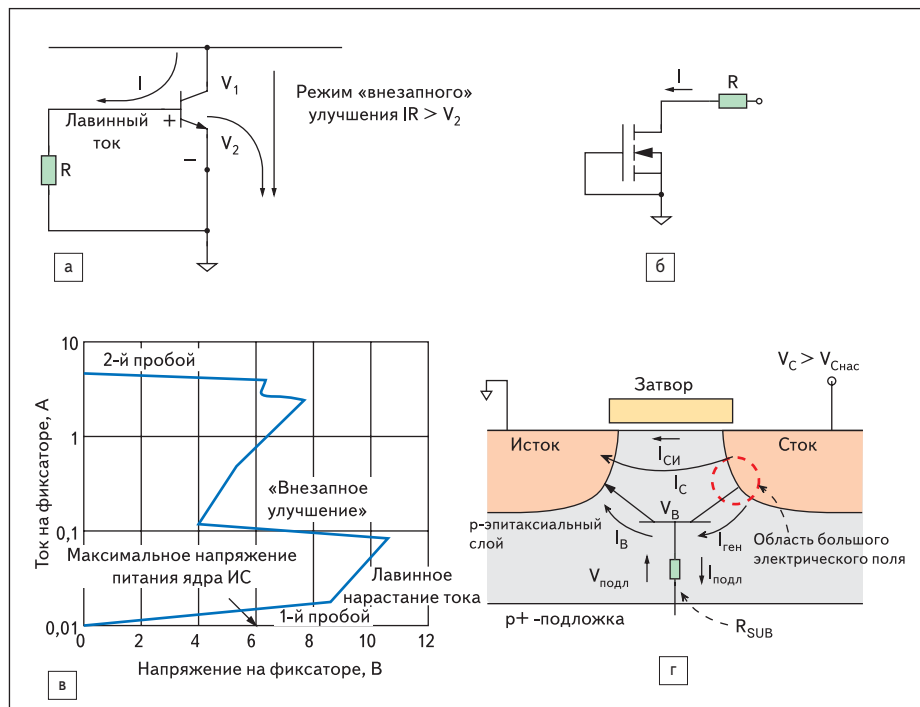


Рис. 8. ЭСР-фиксатор: а) механизм отвода тока ЭСР с помощью вертикального биполярного транзистора; б) механизм отвода тока ЭСР с помощью паразитного латерального биполярного транзистора; в) ВАХ ЭСР-фиксатора в режиме больших токов; г) структура защитного МОП-транзистора с указанием токов в паразитном биполярном транзисторе

несколько вольт, большая часть напряжения падает на переходе база-коллектор, обеспечивая лавинную генерацию носителей. Почти вся мощность генерируется на переходе база-коллектор, поэтому понижение напряжения на этом переходе снижает выделение тепла и позволяет проводить больший ток. Увеличение тока в канале МОП-транзистора приводит к прямому смещению перехода эмиттер-база и выключению паразитного транзистора. ВАХ ЭСР-фиксатора показана на рис. 8в. ВАХ имеет два участка пробоя, первый — выше описанный механизм лавинного пробоя и второй — температурный пробой, когда МОП-транзистор получает необратимые повреждения [4–6].

Для сравнения рассмотрим, какие механизмы происходят в МОП-транзисторе ядра ИС при лавинном пробое. Если напряжение стока становится достаточно большим, то в области отсечки МОП-транзистора происходит слабое лавинное умножение, вызванное ударной ионизацией. На этом участке лавинного умножения могут генерироваться горячие дырки (ЛГД) и горячие электроны (ЛГЭ), которые совместно называются лавинными горячими носителями (ЛГН, или Drain Avalanche Hot Carrier, ДАНС). Как горячие электроны, так и горячие дырки могут эмиттироваться в подзатворный оксид. ЛГН из канала возникают при испытаниях в режиме  $V_{зи} = 1/2 V_{СИ}$  (условие максимального тока подложки).

При напряжениях стока, на несколько вольт превышающих напряжение насыщения в обедненной области, могут создавать-

ся электронно-дырочные пары. Эти генерированные электроны могут уходить в сток, вызывая увеличение тока стока, или могут инжектироваться в затвор, что приведет к возникновению проблем, связанных со стабильностью порогового напряжения. Дырки выводятся из обедненной области в подложку. Они затем собираются у контакта подложки и образуют дырочный ток подложки. Ток подложки, протекающий в объеме полупроводника, создает напряжение, которое стремится уменьшить смещение на переходе между истоком и подложкой. Этот переход может действовать как эмиттер в паразитном  $n^+$ (исток)– $p$ (подложка)– $n^+$ (сток)-транзисторе, что вызывает неправильное функционирование схемы. Уменьшение смещения на переходе между истоком и подложкой может привести к появлению положительной обратной связи и к тому, что МОП-транзистор попадет в лавинный пробой [14–19].

### Заключение

В настоящее время ведущие зарубежные фирмы уделяют должное внимание встроенной защите ИС от ЭСР. ИС проектируют так, чтобы они были защищены от воздействия ЭСР по модели тела человека, машинной модели и модели с заряженным прибором. Ведется интенсивная работа как по поиску новых схем защиты, имеющих повышенную стойкость к ЭСР без значительного увеличения площади кристалла, так и по модернизации используемых схем защиты. ■

### Литература

1. Горлов М. И., Строгонов А. В., Адамян А. Г. Воздействие электростатических разрядов на полупроводниковые изделия. Часть 1 // ChipNews. 2001. № 1.
2. Горлов М. И., Строгонов А. В., Адамян А. Г. Воздействие электростатических разрядов на полупроводниковые изделия. Часть 2 // ChipNews. 2001. № 2.
3. [www.analog.com](http://www.analog.com). Reliability handbook.
4. Beebe S. G. Characterization, modeling and design of ESD protection circuits // Technical Report prepared under Semiconductor Research Corporation Contract 94-SJ116. 1998. March.
5. <http://www.maxim-ic.com/an651>. MAXIM. Application note 651. ESD Protection for I/O Ports. 2000, March 13.
6. <http://www.maxim-ic.com/an639>. MAXIM. Application note 639. Maxim Leads the Way in ESD Protection. 2000, March 13.
7. Altera. Reliability Report 37. Q2. 2002.
8. [www.tanner.com/ces](http://www.tanner.com/ces). Hi-ESD IO Pad library for MOSIS TSMC CMOS025 Process Deep Sub-Micron Technology.
9. Albert Z. H. Wang, Chen-Hui Tsay. An on-chip ESD protection circuit with low trigger voltage in biCMOS technology // IEEE J. of solid-state circuits. 2001. Vol. 36. N 1.
10. Ming-Dou Ker. Whole-chip ESD protection design with efficient VDD-to-VSS ESD clamp circuits for Submicron CMOS VLSI // IEEE Tran. on. Electron devices. 1999. Vol. 46, N 1, pp. 173–183.
11. Diep T., Durvury C. Electrostatic Discharge. Texas Instruments. Application Report. S5YA010. Jan 2001. [www.ti.com](http://www.ti.com)
12. Волков С., Ефимин А., Морозов С., Соколов С. Проблема электростатического разряда и современные методы защиты интегральных схем от него. Часть 2. Примеры схемотехнических и технологических реализаций схем защиты от ESD // ChipNews. 2003. № 8.
13. Волков С., Ефимин А., Морозов С., Соколов С. Проблема электростатического разряда и современные методы защиты интегральных схем от него. Часть 3. Моделирование элементов защиты от ESD // ChipNews. 2003. № 9.
14. Hsu W.-J., Sheu B. J. Advanced integrated circuit reliability simulation including dynamic stress effects // IEEE J. Solid-State Circ. 1992. N 3.
15. Hu C. The Berkeley reliability simulator BERT: an IC reliability simulator // Microelectron J. 1992. Vol. 23. N 2.
16. Hu C. IC reliability simulation // IEEE J. Solid-State Circ. 1992. Vol. 27. N 3.
17. Zhihong Liu, McGaughy B. W., James Z. Ma. Design Tools for Reliability Analysis // Design Automation Conference. 2006. San Francisco. CA. USA. July 24-28. ISBN 1-59593-6.
18. Relxpert.pdf. <http://www.celestry.com>
19. Reliability simulation in integrated circuit design. <http://www.cadence.com>
20. Кечиев Л. Н., Пожидаева Е. Д. Защита электронных средств от воздействия статического электричества. М.: ИД «Технологии», 2005.