

Новые цифро-аналоговые преобразователи семейства AD53xx

Наш журнал продолжает публиковать серию статей, посвященных новым приборам производства фирмы Analog Devices, появившимся на рынке в 2000–2001 гг.

Дмитрий Садченков
pierce_arrow@mtu-net.ru

ЦАП AD5304, AD5314, AD5324 отличаются в основном разрядностью преобразования. Это, соответственно, 8-, 10- и 12-битные счетверенные ЦАП. Все они выпускаются в 10-выводном корпусе типа SOIC. Их потребление составляет в рабочем режиме 500...600 мкА, а в дежурном — 80...200 нА при напряжении питания 3...5 В. ЦАП этого семейства имеют в своем составе выходные буферные усилители rail-to-rail. Они обеспечивают двойную буферизацию входных логических сигналов, выходное напряжение в пределах 0...VREF, автоматическое обнуление при включении питания. Источник опорного напряжения 0,25 V...VDD (ИОН) является общим для всех четырех ЦАП. Он подключается к выводу REFIN. В ЦАП предусмотрена возможность обмена данными с цифровыми сигнальными процессорами (ЦСП) посредством трехпроводного последовательного интерфейса.

На рис. 1 изображена структурная схема ЦАП AD5304/AD5314/AD5324.

Основой ЦАП является коммутируемая резисторная линейка. Выходное напряжение ЦАП определяется по формуле:

$$V_{OUT} = \frac{V_{REF} \cdot D}{2^N},$$

где N — разрешение ЦАП, D — десятичный эквивалент бинарного кода, загружаемого в регистр ЦАП: 0-255 для AD5304 (8 бит); 0-1023 для AD5314 (10 бит); 0-4095 для AD5324 (12 бит).

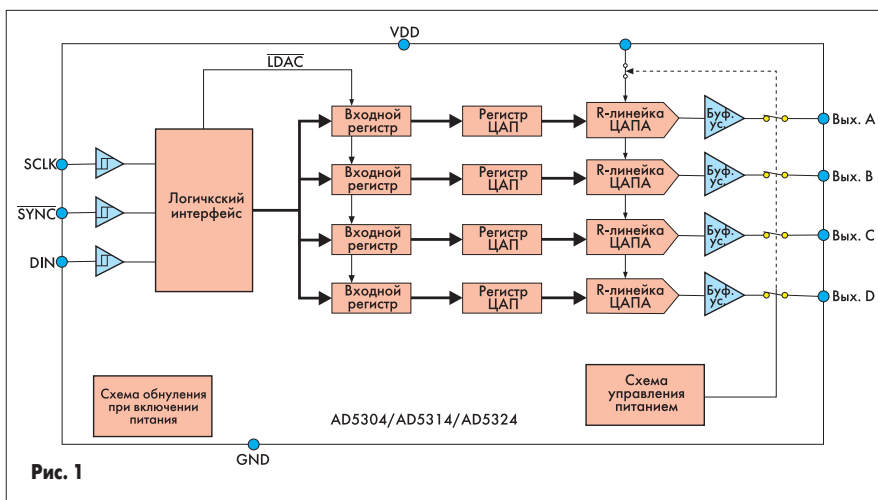


Рис. 1

Типовое значение входного импеданса равно 45 кОм. Сопротивление нагрузки выходного усилителя ЦАП может быть до 2 кОм при емкости нагрузки до 500 пФ. Как было сказано выше, на выходе ЦАП может быть сформирован сигнал rail-to-rail, то есть сигнал с размахом, практически равным VDD...VSS. Максимальный размах достигим при VREF = VDD. Схема, поясняющая структуру архитектуры канала ЦАП, изображена на рис. 2.

Трехпроводный последовательный интерфейс ЦАП работает при частоте синхронизации до 30 МГц и совместим со стандартами SPI, QSPI, MICROWIRE и DSP. Входной регистр сдвига имеет размерность 16 бит. Данные загружаются в виде 16-битного слова под управлением сигналов синхронизации последовательного интерфейса SCLK. Первые два бита (наибольшие значащие биты) определяют адрес передачи данных на ЦАП А, В, С или D (см. таблицу).

Таблица

| A1 | A0 | Адрес ЦАП |
|----|----|-----------|
| 0 | 0 | А |
| 0 | 1 | В |
| 1 | 0 | С |
| 1 | 1 | Д |

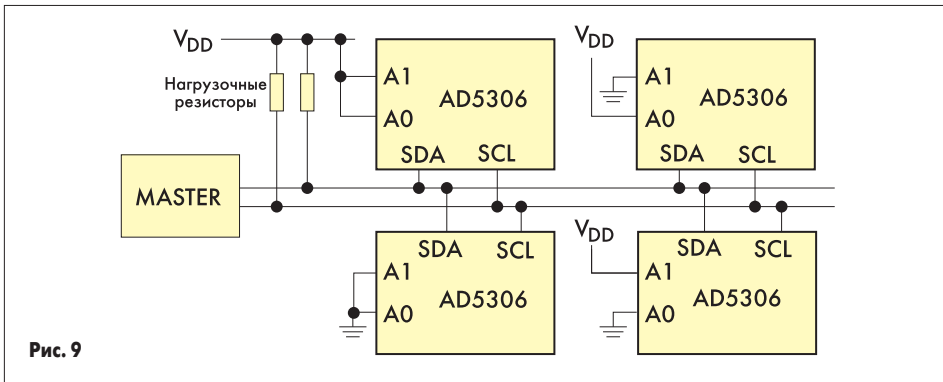
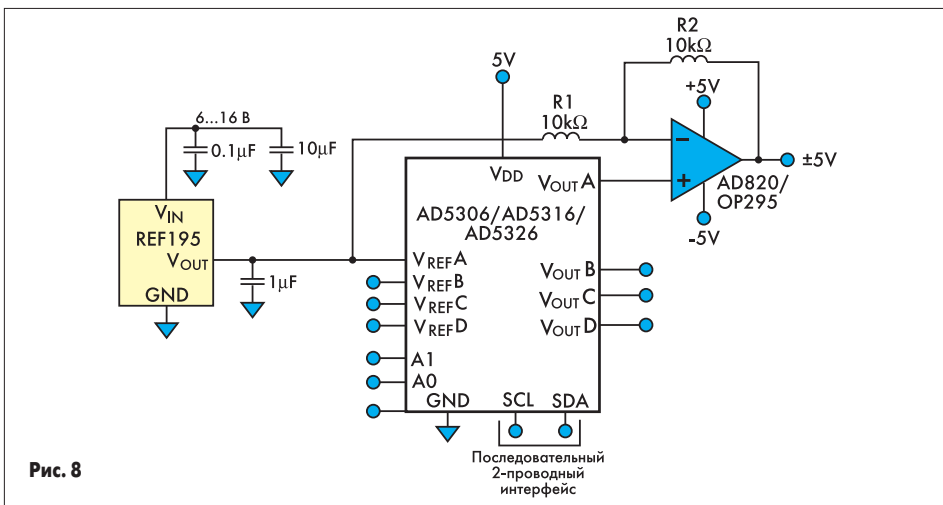
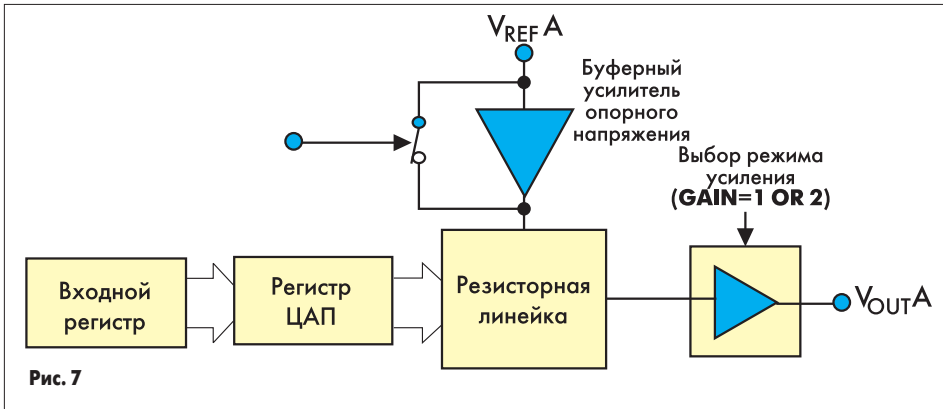
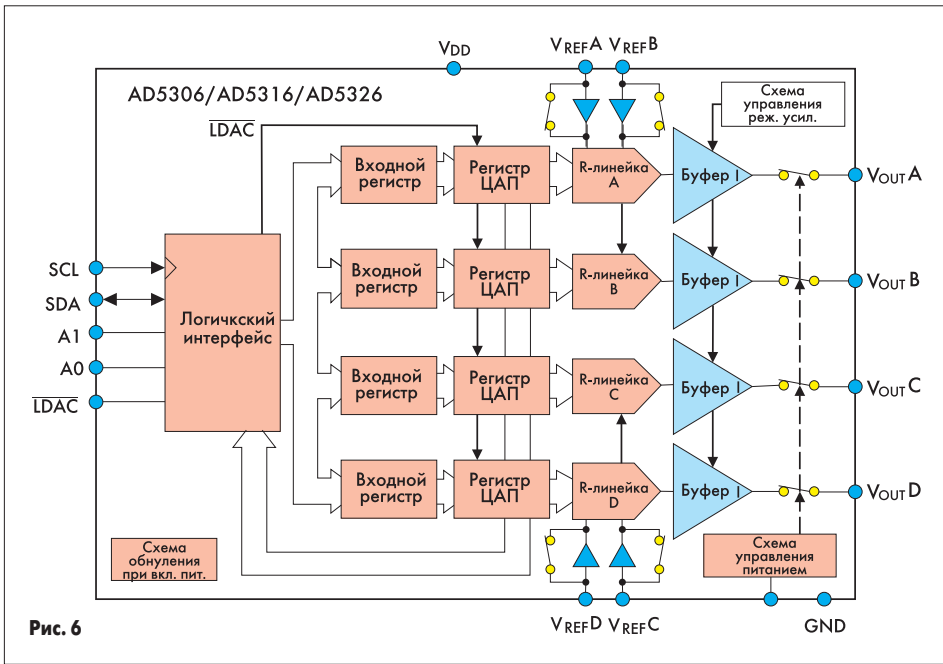
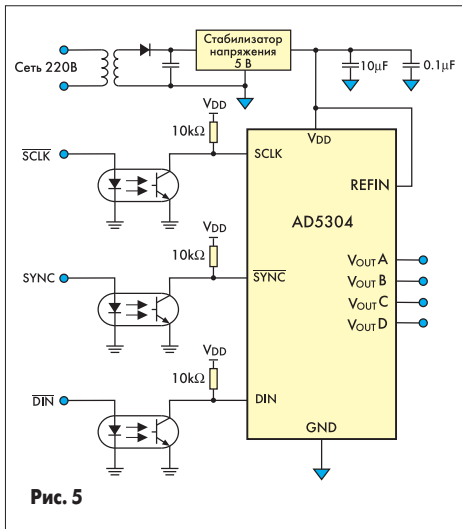
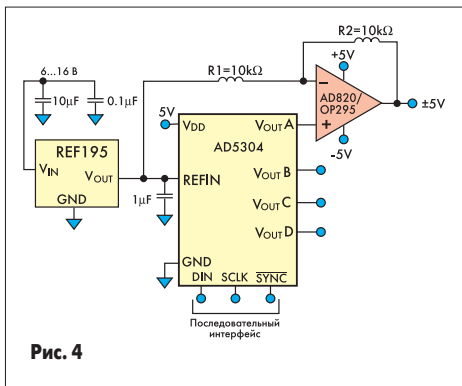
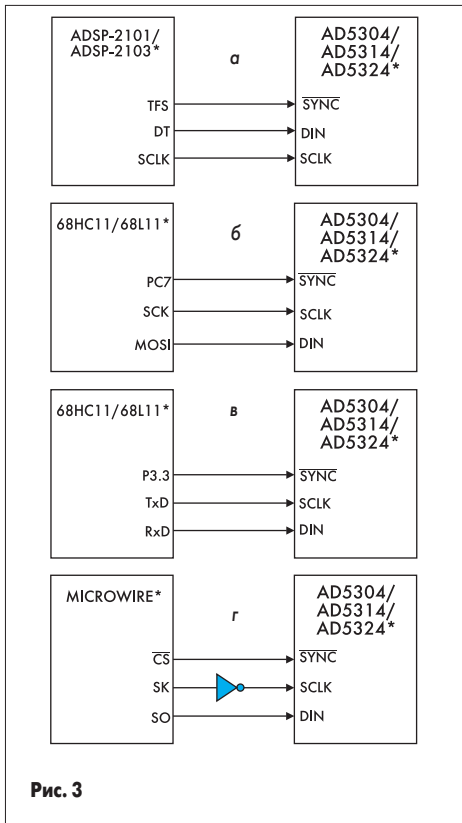
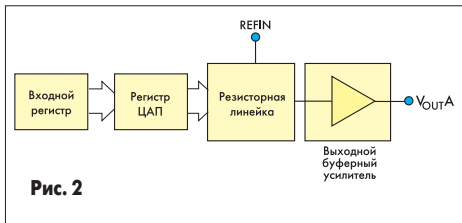
Уровень на выв. PD определяет режим работы ЦАП: лог. 0 — дежурный режим; лог. 1 — режим нормальной работы. При уровне лог. 0 на выв. LDAC обнуляются все регистры и выходы, при уровне лог. 1 — только входные регистры.

На рис. 3 представлены варианты интерфейсов с различными типами ЦСП.

ЦАП AD5304/AD5314/AD5324 предназначены для работы с однополярным источником питания, следовательно, и выходной сигнал будет однополярным. Но получить двуполярный выходной сигнал несложно, если применить схему, изображенную на рис. 4.

Для уменьшения шумов и помех, которые возникают при использовании интерфейса большой длины, что характерно для промышленных приложений, целесообразно использовать входную развязку на оптопарах (рис. 5).

ЦАП AD5306/AD5316/AD5326 представляют собой соответственно счетверенные 8-, 10-, 12-битные АЦП с двухпроводным последовательным интерфейсом, совместимым со стандартом I2C. Они обладают низким энергопотреблением в рабочем режиме — 400/500 мкА при напряжении питания 3/5 В. Обеспе-



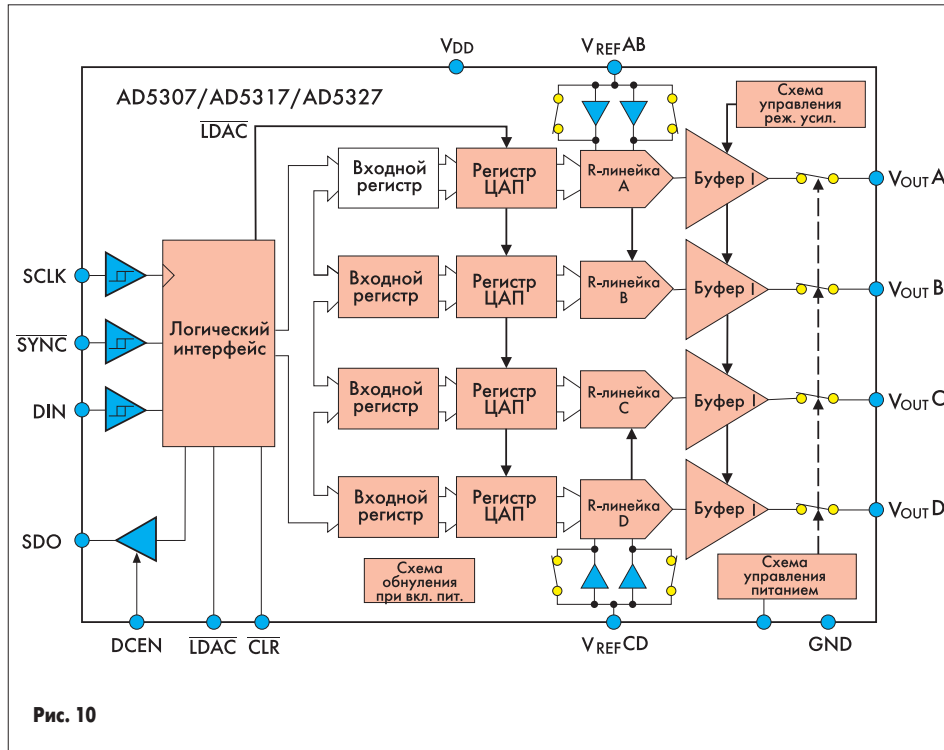


Рис. 10

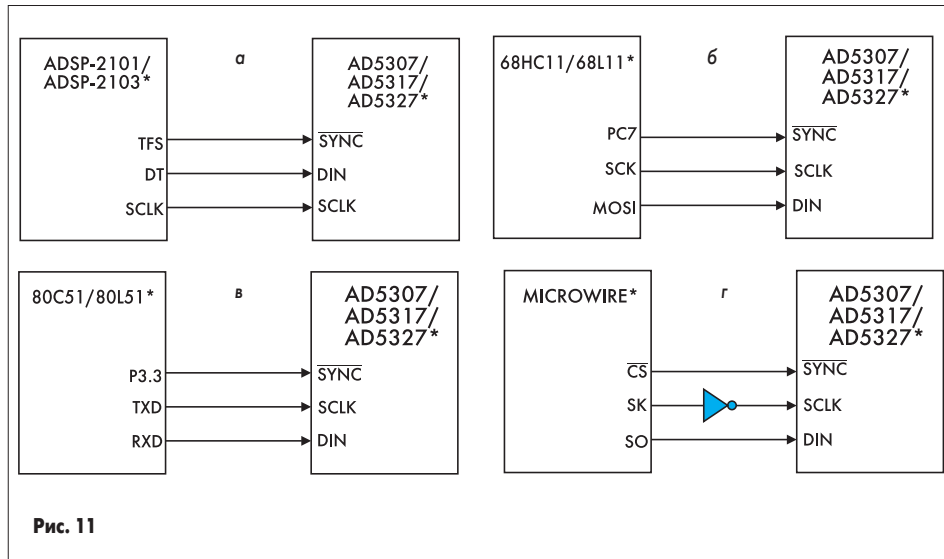


Рис. 11

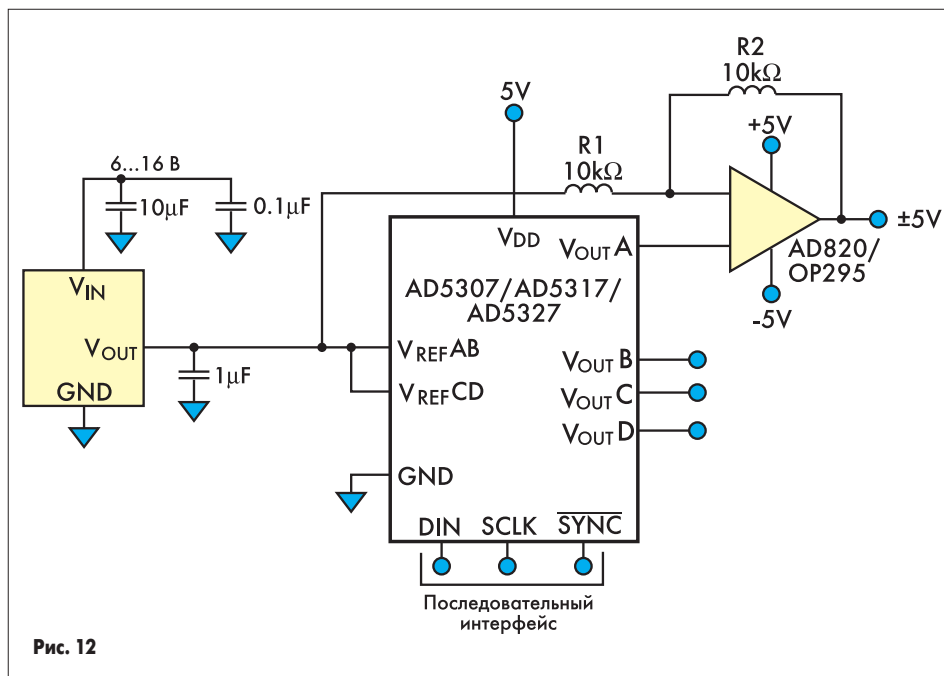


Рис. 12

чивается переход в дежурный режим с еще более низким потреблением — 90/300 нА. Двухпроводный интерфейс работает при частотах синхронизации до 400 кГц. При напряжении питания не более 3,6 В он совместим с шиной SMBus. ЦАП выпускаются в 16-выводном корпусе TSSOP. Структурная схема ЦАП изображена на рис. 6.

Выходное напряжение ЦАП AD5306/AD5316/AD5326 рассчитывается так же, как и для ЦАП AD5304/AD5314/AD5324 (см. выше). Структурная схема, поясняющая архитектуру канала ЦАП, представлена на рис. 7.

ЦАП AD5306/AD5316/AD5326 имеют входы для подключения ИОН для каждого канала, причем каждый вход может быть сконфигурирован индивидуально при условии, что буферный усилитель опорного напряжения отключен. При этом также возможно использование опорных напряжений величиной как менее 0,25 В, так и более VDD. Использование буферного усилителя благодаря его высокому входному сопротивлению позволяет не перегружать ИОН. При использовании в качестве ИОН специальной микросхемы, например REF192, потребность в использовании буферных усилителей отпадает.

Выходной усилитель позволяет получить выходные напряжения размахом от 1 мВ до напряжения шины питания. Кроме того, может быть выбран один из двух режимов усиления — GAIN 1 или GAIN 2. В режиме GAIN 1 размах выходного напряжения составляет от 1 мВ до VREF, а в режиме GAIN 2 — от 1 мВ до 2VREF.

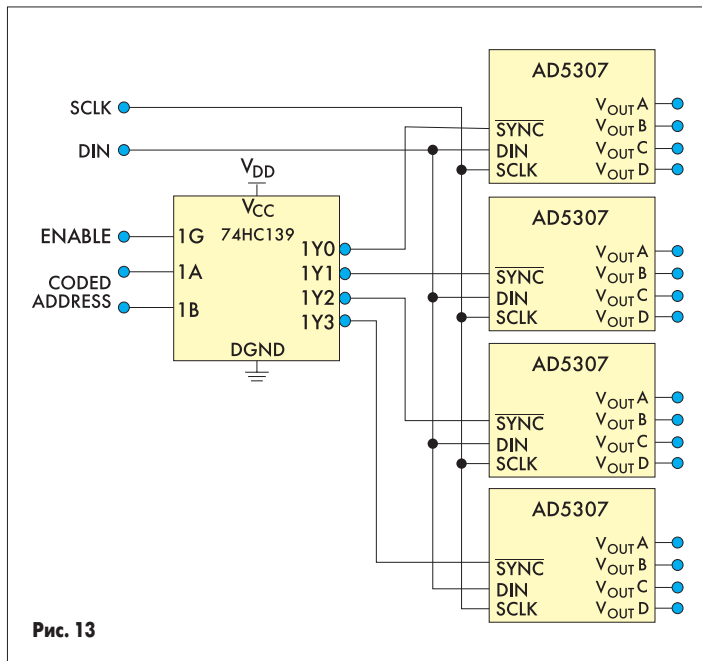
ЦАП имеют несколько режимов управления питанием:

- нормальная работа;
- прямое подключение ИОН (без использования буферных усилителей);
- обеспечение размаха выходного напряжения 0-VREF;
- установка выходного напряжения в 0.

ЦАП AD5306/AD5316/AD5326 работают от однополярного источника питания. Для получения двуполярного сигнала применяют дополнительный ОУ (рис. 8).

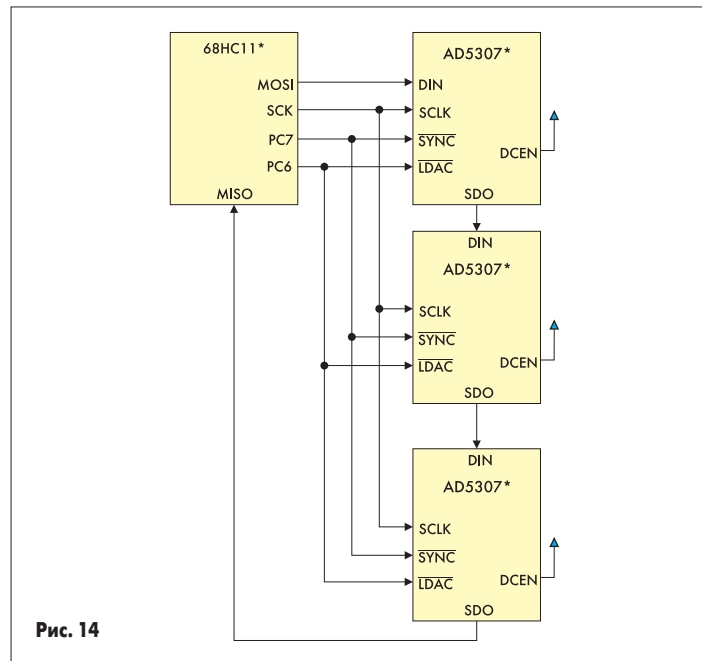
Возможно подключение к одной шине нескольких ЦАП (рис. 9). Каждый из ЦАП отличается slave-адресом, определяемым различным состоянием выв. A0 и A1. Это позволяет обеспечивать запись/считывание сигналов независимо с каждого ЦАП.

ЦАП AD5307/AD5317/AD5327 представляют собой соответственно счетверенные 8-, 10-, 12-битные АЦП с трехпроводным последовательным интерфейсом, совместимым со стандартами Low Power, SPI, QSPI, MICROWIRE, DSP. Они обладают низким энергопотреблением в рабочем режиме — 400/500 мкА при напряжении питания 2,5/5,5 В. Обеспечивается переход в дежурный режим с еще более низким потреблением — 90/300 нА. Трехпроводный интерфейс работает при частотах синхронизации до 30 МГц. ЦАП имеют два вывода для подключения ИОН, причем каждый из них используется для подачи опорного напряжения на пару ЦАП. AD5307/AD5317/AD5327 выпускаются в 16-выводном корпусе TSSOP. Структурная схема ЦАП изображена на рис. 10.



Выходное напряжение ЦАП рассчитывается так, как описано выше. Архитектура канала ЦАП соответствует приведенной на рис. 7. Когда требуется прочитать содержимое ЦАП в целях диагностики, используется выв. DCEN (Daisy-Chain Enable). Режим Daisy Chain (режим последовательного опроса) активен при уровне лог. 1 на выв. DCEN.

Рисунок 11 иллюстрирует способы подключения различных типов ЦСП к ЦАП AD5307/ AD5317/AD5327.



Получение двуполярного выходного сигнала обеспечивается при использовании ОУ (рис. 12).

При преобразовании сигнала может быть использовано несколько однотипных ЦАП (рис. 13).

Пример соединения ЦАП цепочкой с возможностью активации режима Daisy-Chain показан на рис. 14.