

Ами ГОРОДЕЦКИЙ, к. т. н. (JTAG.TEST)
amigo@jtag-test.ru

Окончание. Начало в № 7 2011

Снова о внутрисхемном тестировании ИСТ

В нескольких предыдущих номерах журнала в нашей колонке обсуждались различные аспекты применения внутрисхемного тестирования, или ИСТ, заслуженно обладающего популярностью уже весьма длительное время. Сейчас в промышленности России, связанной с монтажом печатных плат, отмечен значительный всплеск интереса к такому тестированию. В этой колонке мы на время завершим обсуждение внутрисхемного тестирования с тем, чтобы вскоре вернуться к нему снова.

Примерно в середине 1980-х годов, когда в моду быстро вошла технология поверхностного монтажа (SMT), довольно распространенным стало мнение о том, что внутрисхемное тестирование (ИСТ) себя изжило и его дни сочтены. Примерно в эти же годы в качестве спасительного средства была разработана технология граничного сканирования (JTAG) — именно для того, чтобы занять якобы освобождающуюся нишу в технологиях структурного тестирования. Кто бы мог тогда представить себе, что слухи о кончине внутрисхемного тестирования сильно преувеличены? Даже сегодня, спустя много лет, интерес к ИСТ отнюдь не уменьшается, эта технология обрастает новыми возможностями и широко применяется наряду с технологиями граничного сканирования, о чем мы говорили в предыдущих колонках журнала [1].

Следует, однако, признать, что современные тенденции микроминиатюризации плат заметно ограничивают возможности физического доступа игловок тестеров ИСТ. Появление в последние годы бесконтактных корпусов NLP (no-leads packages), пассивных компонентов 0201, микропереходов между слоями ПП, а также «слепых» и «скрытых» переходов, кажется, знаменует собой новый этап проблем в ИСТ-тестировании. Ожидаемое в скором времени широкое применение пассивных компонентов 01005 еще в большей степени обостряет проблему размещения контактных площадок для игловок ИСТ. Если добавить к этому все возрастающее количество дифференциальных и высокоскоростных цепей, то все вместе снова, как и в восьмидесятых, может создать впечатление, что у ИСТ-тестирования ответов на эти вызовы нет. Впечатление, нужно отметить, вполне обманчивое.

Решения в области миниатюризации, как ни странно, были предложены много лет назад, так что и в этом случае новое — просто хорошо забытое старое. Технология микро-

доступа к бусинкам припоя (solder bump micro-access), упомянутая в [2], была предложена в те же 1980-е годы Рексом Вэйгудом (Waygood — очень «говорящая» фамилия!). Когда область возможного размещения контактных площадок ИСТ ограничена размерами 0,5–0,75 мм в диаметре и предполагается пайка оплавлением (reflow soldering), на предполагаемой контактной площадке формируется бусинка припоя, высота которой после оплавления — не менее 0,15 мм над уровнем окружающих печатных проводников. В таком случае для зондирования этой бусинки припоя можно применить иглолку ИСТ с рифленой головкой диаметром более 30 mil, как показано на рис. 1. Такая бусинка (после нанесения пасты и оплавления) будет возвышаться над маскированной поверхностью ПП через отверстие в маске, что и обеспечит необходимый тестовый доступ [3].

Бусинки припоя размещаются непосредственно на печатных проводниках тогда, когда нет возможности (или нежелательно) выполнять любые отводы от печатных проводников, которые могут играть роль антенн в дифференциальных и высокоскоростных цепях. В идеальном случае размеры таких бусинок могут быть равны ширине печатного проводника (скажем, 5 mil, или 140 мкм) с длиной около 15–20 mil, или 420–448 мкм (рис. 2). Планирование размещения таких

бусинок может привести к намеренной разводке высокоскоростных цепей по поверхности ПП, а не во внутренних слоях.

Поскольку размеры бусинок припоя значительно меньше размеров обычных контактных площадок ИСТ, они оказываются почти идеальным решением для тестирования цепей передачи данных, так как при этом не происходит нарушения целостности сигналов шин данных. Применение контактных игловок для бусинок припоя также минимизирует число дорогостоящих контактных игловок с диаметрами 39 и 50 mil, понижая тем самым стоимость игольчатых адаптеров [4].

Таким образом, к преимуществам размещения бусинок припоя можно отнести следующие факторы:

- Обеспечение физического доступа для игловок ИСТ в ПП с высокой плотностью размещения печатных проводников и высокой плотностью монтажа компонентов, невозможного при иных попытках контактного доступа.
- Размещение бусинок припоя непосредственно на печатных проводниках при сохранении целостности и точности передачи высокочастотных сигналов.
- Устранение необходимости в дорогостоящей и времязатратной переработке печатных проводников, сокращение времени на взаимные препирательства между разработ-

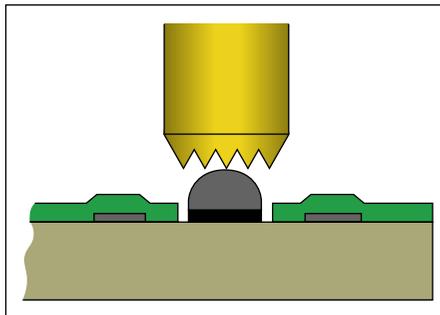


Рис. 1. Технология микродоступа к бусинкам припоя

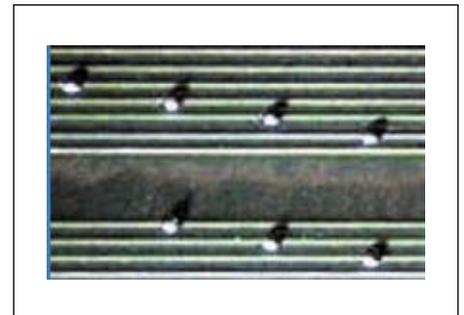


Рис. 2. Бусинки припоя

чиками и тест-инженерами и, таким образом, сокращение времени выхода изделия на рынок.

- Упрощение разработки игольчатых адаптеров и сокращение расходов на них.
- Возможность размещения бусинок припоя с использованием существующих масок и шаблонов паяльных паст без дополнительных расходов.

В [1] обсуждалась возможность применения JTAG-тестирования непосредственно на ICT-тестерах, однако мне не хватило журнальной полосы для того, чтобы системно отметить ограничения, имманентно присутствующие такому совмещению технологий. К таким ограничениям можно отнести следующие факторы:

- Прогон JTAG-тестов на ICT-тестерах можно выполнять при значительно более низких частотах ТСК, нежели в рамках специализированных JTAG-систем [5].
- Тестирование целостности JTAG-цепочек на ICT-тестере, как правило, не выполняется в полном возможном объеме.
- Тесты для обнаружения коротких замыканий между JTAG-управляемыми цепями, на которые невозможно установить иглолки ICT, и JTAG-неуправляемыми цепями, к которым иглолки ICT подключаются, обычно пишутся вручную, поскольку автоматизация построения таких тестов отсутствует, если вообще возможна; при построении таких тестов следует вручную же устранять эффекты «дрожания земли» (ground bounce) для тестов с большим числом участвующих в них контактов, а отладка подобных тестов исключительно сложна.
- Тестирование ИС ЗУ (DDR2, DDR3 и других), программирование ИС флэш-памяти, тестирование цепей LVDS, поддерживающих стандарт IEEE 1149.6 [6], значительно проще выполнять в рамках специализированных JTAG-систем, нежели на ICT-тестерах.

Завершим нынешнюю колонку темой, связанной с недостатками и ограничениями ICT-тестирования (а как же без них...), в которых следует отдавать себе отчет. Если два однотипных компонента (резисторы, конденсаторы и т. д.) соединены в схеме параллельно, то на ICT-тестере они тестируются как один. Если же параллельно в схеме соединены разные компоненты, то иногда их подключение приходится тестировать различными методами. Полярность включения электролитических компонентов может быть протестирована только в специфических конфигурациях, если они, к примеру, не подключены к шинам питания с большой общей емкостью, и с применением специальных технологий (TestJet, CapScan).

Прижатие тестируемой ПП к ICT-тестеру, вакуумное или механическое, создает весьма существенные механические напряжения в ПП. При бессвинцовой пайке эффект искривления тестируемой ПП на ICT-тестере

может быть еще заметнее, и искривление само по себе может приводить к появлению неисправностей, которые никак не проявляются без такого прижатия. Если неисправности вследствие механического искривления ПП проявятся уже после проведения ICT-тестирования, то, возможно, их трудно будет обнаружить и при последующем функциональном тестировании, поскольку они будут носить скрытый характер и неизбежно выплывут позднее на объекте эксплуатации, как всегда — в самый неподходящий момент.

Надежный контакт иглолок ICT-тестера с контактными площадками вовсе необязательно достигается при первом же прижатии ПП. Это тем более может происходить при тестировании ПП с высокой плотностью монтажа или при недостаточно хорошо очищенных от маски контактных площадках, что вынуждает тест-оператора повторить прижим несколько раз. Это, конечно, не только увеличивает время тестирования, но и вносит некоторую неопределенность в его результаты.

Тестируемая на ICT-тестере (а также на JTAG-тестере) ПП должна быть заведомо пассивной. Это означает, в частности, что все осцилляторы и кварцы ПП должны быть заглушены, поскольку любые посторонние шумы в тестируемой ПП могут превратить сотни иглолок ICT в микроантенны и внести заметные искажения в результаты тестирования, и нестабильность теста — еще не самое существенное следствие таких помех.

Нужно отдавать себе отчет в том, что множество неисправностей в современных ПП проявляются только в функциональном режиме (at-speed). Возможные неисправности внутрисхемных цепей, связанных с высокочастотными линиями передачи данных, таких как PCIe Gen3, DDR3, SATA III и других, невозможно тестировать ни на ICT-, ни на JTAG-тестере, поскольку обе эти технологии низкочастотны по определению. Даже функциональное тестирование в таких случаях не может быть панацеей от возможных неисправностей. Дифференциальные цепи, к примеру, устойчивы к наличию в них определенных неисправностей типа обрыва

или короткого замыкания, дефекты в синхросигналах или цепях управления отдельных высокоскоростных шин приводят не к их дисфункции, но лишь к некоторой деградации характеристик.

Наличие в тестируемой ПП теплоотводов также обуславливает определенные проблемы при ICT-тестировании. Если структура игольчатого адаптера не предусматривает наличия теплоотводов, а соответствующее фрезерование несущей пластины адаптера возможно не всегда, ICT-тест проводится до установки теплоотводов. Зачастую микропроцессоры, всегда снабжаемые теплоотводами, также монтируются на ПП не до ICT-тестирования, а после. Последующий монтаж теплоотводов (и процессоров) на уже проверенную ПП может привести к появлению неисправностей, которых до этого не было, поэтому в результирующий отчет такие неисправности (а их может быть немало) не войдут.

В заключение я хочу еще раз подчеркнуть, что ICT-тестирование было и остается одним из наиболее эффективных средств структурного тестирования. В сущности, нет ничего лучше для тестирования правильности монтажа ПП еще до подачи на них питания, проведения разнообразных аналоговых измерений, проверки номиналов компонентов, контроля внутрисхемных напряжений, тестирования регуляторов напряжений и других схемных фрагментов [7].

Литература

1. Городецкий А. Снова о внутрисхемном тестировании ICT // Компоненты и технологии. 2011. № 7.
2. Городецкий А. Снова о внутрисхемном тестировании ICT // Компоненты и технологии. 2011. № 8.
3. www.teradyne.com/atd/resource/docs/general/Micro%20Access%20Technologies%20.pdf
4. www.agilent.com/see/beadprobe
5. www.jtag-test.ru/JTAGUniversity/onTAP.php
6. www.jtag-test.ru/JTAGUniversity/articles/10-PE_1_2009.php
7. www.jtag-test.ru/Solutions/ICT.php